

基于 SiGe-0.13 μm X 波段高效率功率放大器

崔 凯^{1,2,3}, 李志强^{1,3}, 刘 昱^{1,3}, 张海英^{1,3}

(1 中国科学院 微电子研究所, 北京 100029; 2 西安电子科技大学, 陕西 西安 710071;

3 新一代通信射频芯片技术北京市重点实验室, 北京 100029)

摘 要: 基于 IBM SiGe 0.13 μm BiCMOS 工艺, 设计了一个工作在超过 BV_{ceo} 的 SiGe HBTs class E 功放, 在产生高的输出功率的同时又保持了比较高的功率附加效率. 利用 SiGe 堆叠 E 类结构来增加整体的电压摆幅, 每个管子都是工作在安全操作区域, 同时电压是超过 BV_{ceo} 的, 进一步加大了功放的输出功率. 设计了级间匹配网络, 既保持了输出级比较高的击穿电压, 又兼顾了功放的性能. 在 10 GHz 工作频率下, 功放的峰值 PAE 达到了 47.4%, 同时其输出功率达到 21.43 dBm.

关键词: BV_{CEO} ; BV_{CEO} ; Class-E; SiGe; 功率放大器

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2017)08-0082-05

An X-band High Efficiency Class-E Power Amplifier Based on GeSi-0.13 μm Process

CUI Kai^{1,2,3}, LI Zhi-qiang^{1,3}, LIU Yu^{1,3}, ZHANG Hai-ying^{1,3}

(1 Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China;

2 Xidian University, Xi'an 710071, China; 3 Beijing Key Laboratory of Radio Frequency IC

Technology for Next Generation Communications, Beijing 100029, China)

Abstract: Based on IBM SiGe 0.13 μm BiCMOS process, a beyond BV_{ceo} Class-E design methodology for SiGe HBT power amplifiers is adopted to generate high output power while maintaining high efficiency. SiGe stacked Class-E architecture is also introduced to increase the overall voltage swing with each series stacked device operating in the safe operating area beyond BV_{ceo} while its voltage is beyond BV_{ceo} , and then we further increase output power of PA. We designed the interstage matching to not only maintain the high breakdown voltage of output stage, but also achieve good power amplifier performance. When it operate at 10 GHz, the power amplifier's peak power add efficiency can reach 47.4%, and the output power is 21.43 dBm.

Key words: BV_{CEO} ; BV_{CEO} ; Class-E; SiGe; power amplifier(PA)

1 引言

对于便携设备, 人们都希望减小它的损耗、尺寸、重量, 同时增加电池的使用时长. 为达到这样的目标, 提高射频或模拟系统的集成度是一个有效的方式.

功率放大器是最难集成的模块, 因为它有相对比较大的功率损耗. 开关类功率放大器广泛应用在

射频无线通信中, 因为它们有比较高的效率, 但是随着频率的增加, 器件寄生的影响使得管子开关性能变差. 在开关类功放当中, E 类拓扑具有独特的优势, 结构简单, 无源元件数量少, 大大减小了芯片面积, 便于全集成.

对于理想的开关模式的 E 类功放, 要满足三个条件: (1) 晶体管开关状态之间没有过度时间; (2) 当开关开始传导电流时, 开关的瞬态电压和瞬态电压

对时间的导数都为零;(3)当开关保持一定电压时,开关上电流为零.然而实际中,像有限开关速度、开关电阻损耗、无源器件损耗和器件击穿电压等非理想特性,经常会限制实际的硅基 E 类功放的功率附加效率低于 50%,器件需要比较高的击穿电压,因为典型的 E 类功放的电压摆幅是 3.6 倍的电源电压^[1].开关类功放的输入输出转移函数的非线性,导致其不能应用在传统的线性发射机上.然而,开关类功放可以成功地应用在数字极化发射机、功率 DAC 上^[2].

本文设计了一款工作在 10 GHz 的,用于 digital polar transmitter 的 E 类功率放大器.

2 在 V_{ce} 超过 BV_{ceo} 操作点下的 SiGe HBTs

SiGe HBTs 的击穿机制已经在文献[3]中全面研究了.当 HBT 的基极被高阻抗的电流源驱动时,集电极的击穿电压被称为 BV_{ceo} ,因为此时由雪崩倍增产生的空穴没办法通过基极流出.但是当基极接低阻抗终端时,集电极击穿电压将会大于 BV_{ceo} ,这时由于基极阻抗比较小,雪崩产生的空穴可以从基极流出,所以增大了击穿电压.超过 BV_{ceo} 的工作电压下的 SiGe HBTs 的安全操作区域是集电极电流与基极阻抗的函数^[4].在低的基极阻抗和低的集电极电流密度下,HBTs 击穿电压增加,能够达到它的最大限制 BV_{cbo} (发射级开路时,集电极与基极之间的击穿电压),这个特性能够被利用在电压电流波形没交叠的开关类功放上,当集电极电流密度接近零的时候,集电极电压能够摆到其最大电压限制 BV_{cbo} ,既保持高的输出功率又保持高的效率.本文所采用 IBM 0.13 μm SiGe BiCMOS 工艺,高压管的 BV_{ceo} 为 3.55 V, BV_{cbo} 为 12 V,低压管的 BV_{ceo} 为 1.7 V, BV_{cbo} 为 5.9 V.所以利用此工艺的击穿电压的灵活性,同时选取 class E 拓扑结构,可设计具有高效率、大输出功率的功率放大器.

3 class E 功放的基本原理

理想的 class E 功放在 1975 年首次被提出,后逐渐发展和完善,图 1 为理想 class E 功放的原理图和开关电压瞬态波形图.功放由晶体管开关、射频扼流电感 L_1 ,开关的并联电容 C_1 、串联谐振网络 C_2 、 L_2 ,输出匹配和相位校准网络 X_L 组成.开关在输入信号 V_m 的激励下,周期性地开启和关断,串联谐振网络 C_2 、 L_2 在工作频率下谐振,使基频成分到达负载,抑制高次谐波分量.扼流电感 L_1 阻止射频信号

到达直流电源 V_{CC} ,并给晶体管提供直流电流 I_{DC} . C_1 由两部分组成:一部分是晶体管的集电极到地的寄生电容;另一部分外加电容.

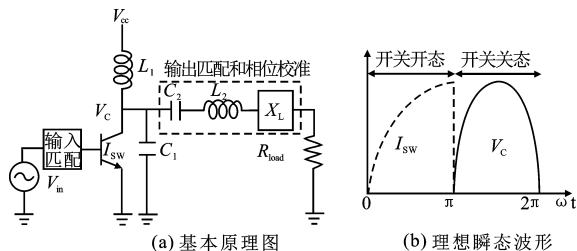


图 1 class E 功放

在理想的情况下,开关的电流电压波形必须满足 ZVS、ZDS 条件,即当开关开启的时候,开关两端的瞬态电压(集电极电压)为 0,并且其对时间的导数也为零.同时开关两端的电流和电压波形无交叠,从而实现高效率.满足 ZVS,可以说明在开关打开时,开关的电压不是突变为零的,如果集电极电压突然变为零的话,寄生电容上电压又不能突变,只能逐渐减小,但是这需要一个时间,所以会在其两端寄存电荷,当开关开启之后继续在开关上放电,这样会导致开关内阻 r_{on} 消耗功率,并转化为热,引起效率下降.满足 ZDS 的条件,说明当开关打开时,开关两端的电压即电容两端的电压,这是说明电容的电流为零,当开关打开时,集电极电流为零,这样才能确保在开关再次开启的时候,开关的电流 i_s 不会突变,而是从零连续增长的.

然而,传统的 class E 结构要求射频扼流电感 L_1 值要非常大($2\pi f_0 L$ 远大于 R_{load}),这样对于高集成的功放来说是不切实际的,所以 Grebennikov 等人^[5]提出了“并联电路结构 class E 功放”,其需要有限扼流电感值,为提高集成度带来了方便.

具有并联电路结构的 E 类功率放大器是传统模式 E 类调谐功率放大器的变形.与传统的 E 类功率放大器一样,具有并联电路结构的 E 类功率放大器中晶体管也工作在开关状态,晶体管开关两端的电流和电压瞬态波形同样不会同时出现交叠,区别在于负载网络元件的选择.因此,与传统的 E 类功率放大器相比较,负载网络电路元件值、电路波形、相位不大一样.具有并联电路的 E 类功率放大器的各元件表达式为

$$R_{load} = 1.365 \frac{V_{ce}^2}{P_{out}} \quad (1)$$

$$\omega_0 C_1 = 0.685 \frac{1}{R_{\text{load}}} \quad (2)$$

$$\omega_0 L_1 = 0.732 R_{\text{load}} \quad (3)$$

$$X_L = 0 \quad (4)$$

本文所实现的功放正是利用并联电路结构 E 类功放的拓扑机构设计的。

4 堆叠结构的 E 类功放

功放的性能很大程度上是受晶体管的击穿电压限制的,晶体管的串联堆叠结构能够使负载具有更大的整体电压摆幅。双堆叠 HBTsE 类功率放大器简化原理图如图 2 所示。

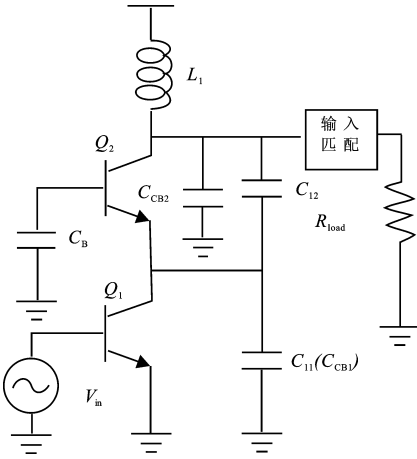


图 2 双堆叠 HBTs E 类功率放大器简化原理图

4.1 双堆叠 HBTs 结构电压摆幅分析

在双堆叠晶体管 E 类功放中,串联的 HBTs Q_1 和 Q_2 被设计成同时开或关(图 3)。这样才能确保两个管子集电极电压摆幅是同相位的,从而得到大的整体的输出电压摆幅和输出功率。在理想情况下,动态电压摆幅是均等分配在两个管子上的,为了避免单个管子承受比较大的电压。当管子是开的状态下,器件的导通电阻的比值 r_{on1}/r_{on2} ,决定了管子间的电压的分配,在关状态下,由电容 C_{11} 和 C_{12} 组成的电容梯形网络用于电压的分配,在本文中,底端电容 C_{11} 完全由 Q_1 的集电极到衬底的寄生电容 C_{CB1} 实现,而 C_{12} 是外加的电容, Q_2 的基极接一个外加电容 C_B ,它的值是由 Q_2 基极到发射级的电容 C_{BE2} 决定的, C_{BE2} 和 C_B 的电容分配能够确保:(1) Q_2 的基极电压摆幅在动态上是跟随它的集电极电压摆幅的,因此,防止 Q_2 集电极-基极结击穿;(2) Q_2 的基极到发射极电压 V_{be2} 能够随着加在 Q_1 基极的输入信号同相位上下摆动,因此能够确保两个管子同时开关。

在关状态下,每个管子的电压摆幅可以通过图

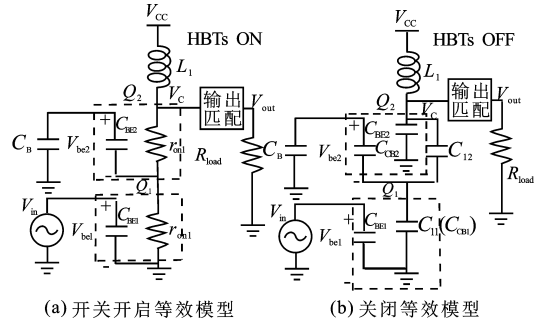


图 3 双堆叠 HBTs

4 所示的电容梯结构来分析。为了全面利用堆叠的 SiGe HBTs 的击穿电压, Q_2 上的电压摆幅被保持在接近 BV_{CBO} ,而 Q_1 的电压摆幅是整体电压 V_c 分数,表达式为

$$V_{\text{mid}} = \frac{C_{12}(C_{\mu 2} + C_B) + C_{BE2}(C_{12} + C_{\mu 2})}{(C_{11} + C_{12} + C_{BE2})(C_{\mu 2} + C_B + C_{BE2}) - C_{BE2}^2} V_c \quad (5)$$

式中, V_{mid} 为中间节点电压,通过上式可以看到它主要由器件的尺寸和 C_B 决定,不像在简化的模型中它总是整体电压摆幅 V_c 的一半,我们假设外加的 C_{12} 被选择等于 C_{11} ,同时忽略 $C_{\mu 2}$,选择 C_{BE2} 和 C_B 相等来使 Q_2 基极的电压摆幅为 V_{mid} 的一半,故上式可以简化为:

$$V_{\text{mid}} = \frac{V_c}{2(1 + \frac{C_B}{4C_{12}})} \quad (6)$$

由上式可以看出, V_{mid} 是小于 $0.5 V_c$ 的,也就是说要实现堆叠的两个管子电压完全相等是不可能的,底下管子的电压摆幅必然小于上边管子的电压摆幅。所以在设计时要尽可能降低上边管子的电压摆幅,同时增加下边管子的电压摆幅,上边管子的电压摆幅不要过多地大于下边管子的电压摆幅,既可以防止上边管子由于承受过大的电压而击穿,又可以使上下两个管子的电压摆幅比较接近而达到增大整体电压摆幅的目的,从而增大输出功率。

4.2 继续增加堆叠管子的弊端

主要有两个原因:(1)当堆叠更多管子的时候,管子之间为串联的结构,虽然增加了总的输出功率,但是上边几个管子的寄生集电极到衬底的电容与外加电容 C_{12} 、 C_{13} 不是串联的,这就造成了总的电容超过了 class E 预算的并联电容 C_1 ,因此会造成电压与电流波形的交叠变大,所以我们会选择减小管子的尺寸来折中,但是这样的串联的管子内阻消耗一定的功率,造成整体效率的下降;(2)由上文已经证明, V_{mid} 是小于 $0.5 V_c$ 的,在堆叠更多管子的时候,

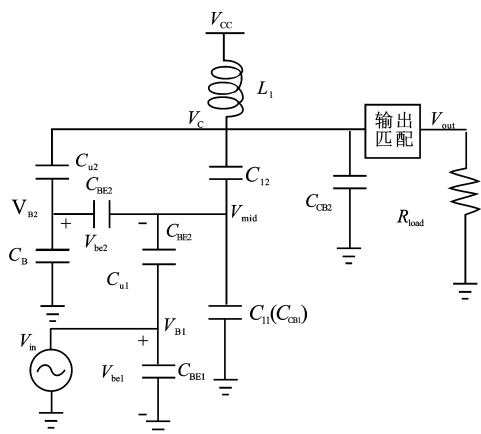


图 4 开关关闭操作下的等效电路结构

这种现象更加严重,所以当叠加更多管子时,压摆幅的增加也变小了。

所以当堆叠更多的管子的时候,虽然输出功率还在增大,但是增加的幅度会变得越来越小,同时相应的效率又会下降。输出功率与 PAE 之间是折中的关系,所以继续增加堆叠的管子还是有一定弊端的。

5 X 波段 class E 功率放大器设计

本文设计的 class E 功放结构如图 5 所示,采用 IBM SiGe 0.13 μm 工艺,功放为两级结构构成, M1 和 M2 组成的堆叠结构作为输出级,正如前文分析,利用此结构增加整体的输出电压摆幅来达到增大输出功率的目的。M3 作为驱动级,放大输入信号来驱动输出级,提高整体功放的功率增益。此工艺提供两种晶体管:高压管和低压管,高压管的击穿电压高,但是其截至频率低,所以在比较高的频率下有比较低的功率增益,进而造成功放的 PAE 比较低。而低压管恰恰与其相反,虽然击穿电压低,但是具有较好的功率增益和 PAE,本文最终根据设计指标要求,所用晶体管皆为低压管,大面积的晶体管是由多个晶体管小单元并联得到,来达到更好的性能。整个功放的所有元件都是在片内实现的,测量时只需要外部电源提供电压偏置。所用电感为工艺提供的片内螺旋电感,所用电容为 MIM 电容。由于我们设计的功放的工作频率为 10 GHz,频率比较高,所以我们要对电路进行电磁仿真,这样才能更加准确的预测实际性能,所用的电磁仿真工具为嵌入到 spectreRF 中的 Peakview。

L_4 为并联电路结构 class E 中的有限值扼流电感, C_7 为外加电容,其与 M1 集电极到衬底的寄生电容形成电容梯,通过前文的分析,我们调节

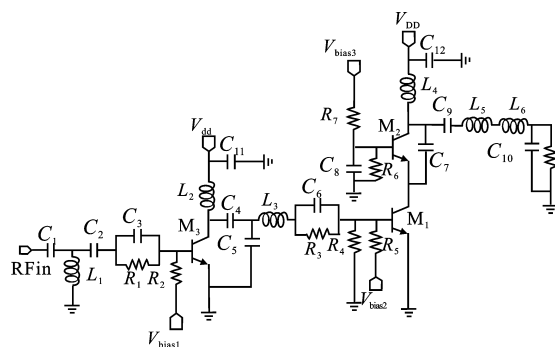


图 5 class E 整体电路结构

C_7 、 C_8 的电容值控制 M1 和 M2 两个堆叠管子的电压摆幅,来达到几乎均等分压的目的。 C_9 和 L_5 为串联谐振网络,在操作频率 10 GHz 处谐振,起到通基频抑制高次谐波到达负载电阻的作用。 L_6 和 C_{10} 为输出匹配网络,采用串联电感并联电容结构的主要原因是我们测试的时候,功放的输入输出是加 gsg 探针进行测量的,所以我们在最终版图的输入和输出上要加上 gsg pad,这个 pad 到地的寄生电容可以达到 60 fF,这会影响功放的匹配,所以我们把这个并联到地的寄生电容合并到输出匹配网络当中。由于我们所用的晶体管的 V_{ce} 是超过 BV_{ceo} 电压下工作的,所以会造成基极电流反向,进而导致功放不稳定,我们分别在 M1、M2 和 M3 的基极并联到地的大电阻来起到一定的稳定作用,同时在稳定性仿真中发现 1~12 GHz 的频率范围内, k 值都是小于 1 的,不稳定的范围比较大,故我们在输出级和驱动级的基极加入电阻并联电容的高通网络,来使功放在整个频段内都是稳定的。 R_2 、 R_4 和 R_7 为偏置电阻,在为管子基极提供偏置电流的同时抑制射频信号。 C_1 、 C_2 和 L_1 构成驱动级的输入匹配,其中 C_1 还起到隔直电容的作用。 C_{11} 和 C_{12} 为 10 pF 的大电容,其作用防止已经通过有限值扼流电感的射频信号到达电源,而通过并联到地的大电容将其引入到芯片内的交流地,实现交流内循环。

C_4 、 C_5 和 L_3 为两级间的级间匹配,本设计的所有匹配都尽量用最少的电感来实现,片内螺旋电感的 Q 值(品质因数)比较低,一般是低于 20 的,所以其引入的寄生电阻增加直流损耗,降低电路性能。本设计的级间匹配具有独到之处,首先采用 T 型结构匹配,增加匹配的可调节性,同时 C_4 又作为两级间的隔直电容来防止两级间直流工作点相互干扰,同时由前文分析 SiGe HBTs 的击穿电压可知,当晶体管基极所接阻抗比较小时,其集电极到发射极的击

穿电压才比较大,所以级间匹配的目标就要使两级有较好的性能,同时还要使从 M1 基极向驱动级方向看到的阻抗比较小,这是一个折中的过程,我们把 M1 基极方向看到的阻抗,通过级间匹配变换到驱动级 loadpull 最佳负载阻抗处,同时分别微调三个元件的值,使向驱动级 M3 集电极方向看到的阻抗通过级间匹配变换到阻抗 15 Ω,经过多次迭代直到满足条件为止。

对版图进行电磁仿真,并加入电源电压, V_{DD} 为 4 V, V_{dd} 为 2.2 V, V_{bias1} 和 V_{bias2} 偏置在阈值电压 0.75 V, V_{bias3} 为 2.8 V,功放的输出功率、功率增益和 PAE 曲线如图 6 所示。

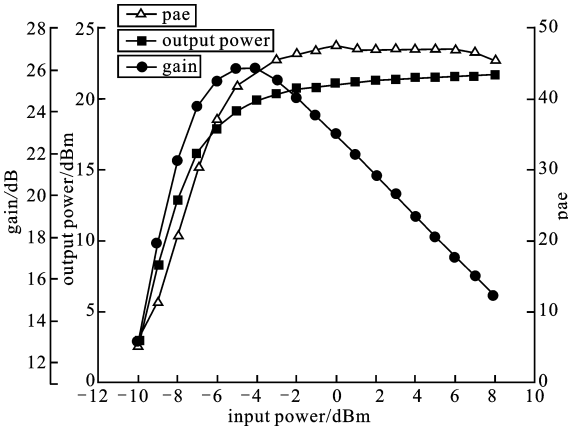


图 6 class E 功率放大器性能曲线

从图 6 可以看到,当输入功率为 0 dBm 时, PAE 达到峰值 47.4%,此时的输出功率为 21.2 dBm,当输入功率为 2.5 dBm 时,输出功率达到饱和,为 21.4 dBm,由于功放偏置在阈值电压附近,所以小信号下功率增益比较小.由以上的性能可知,我们设计的功放性能是比较不错的.表 1 所示为本文设计的 class E 功放性能与近年来发表的比较高频率的 class E 性能的比较,可以看出本文设计的 class E 功放既有较高的 PAE 的同时,又有较大的输出功率。

表 1 与其他高频率 Class-E 功放性能的比较

参考文献	工艺/ μm	频率/ GHz	输出功率/ dBm	PAE/ %
[6]	0.18	5	15.4	40.6
[7]	0.09	10	11.7	40.36
[8]	0.045	18	15.9	41.4
本文	0.13	10	21.4	47.4

6 结束语

本文基于 IBM SiGe 0.13 μm 工艺,设计了一款高功率、高效率 class E 功率放大器.利用了 SiGe HBTs 击穿电压的灵活性,采用了堆叠结构来增大输出功率,并巧妙地设计了级间匹配.仿真结果表明,在 10 GHz 频率下,饱和输出功率可达 21.4 dBm,峰值 PAE 为 47.4%,具有比较高的效率,对于效率和输出功率要求较高的应用,具有很大的优势。

参考文献:

[1] Sokal N O, Sokal A D. Class E-A new class of high-efficiency tuned single-ended switching power amplifiers[J]. IEEE Journal of solid-state circuits, 1975, 10 (3): 168-176.

[2] Kavousian A, Su D K, Hekmat M, et al. A digitally modulated polar CMOS power amplifier with a 20-MHz channel bandwidth[J]. IEEE Journal of Solid-State Circuits, 2008, 43(10): 2251-2258.

[3] Grens C M. A Comprehensive study of safe-operating-area, biasing constraints, and breakdown in advanced SiGe HBTs[J/OL]. [2016-05-12]. <https://smartechnology.gatech.edu/handle/1853/7124>.

[4] IBM. 8HP Design guidelines for the operation voltage limits[M]. IBM Foundry,2011.

[5] Grebennikov A V, Jaeger H. Class E with parallel circuit-a new challenge for high-efficiency RF and microwave power amplifiers[C] // Microwave Symposium Digest, 2002 IEEE MTT-S International. IEEE, 2002, 3: 1627-1630.

[6] Yamashita Y, Kanemoto D, Kanaya H . et al. A CMOS class-E power amplifier of 40% PAE at 5 GHz for constant envelope modulation system[C] // Silicon Monolithic Integrated Circuits in RF Systems (SiRF), 2013 IEEE 13th Topical Meeting on. IEEE, 2013: 66-68.

[7] Chen S T, Lee Y C, Liu J Y C. A 10-GHz bias modulated class-E power amplifier in 90-nm CMOS[C] // Radio-Frequency Integration Technology (RFIT), 2016 IEEE International Symposium on. IEEE, 2016: 1-3.

[8] Chen J H, Helmi S R, Jou Y S ,et al. A fully-integrated 18 GHz class-E power amplifier in a 45 nm CMOS SOI technology[C] // 2014 IEEE Radio Frequency Integrated Circuits Symposium. IEEE, 2014: 247-250.

参考文献:

[1] 江泽涛,陈微. 基于 DWT-DCT-SVD 的彩色图像零水印算法[J]. 微电子学与计算机, 2016, 33(8): 107-111.

[2] Bo O, XIAOLONG L, YAO Z, et al. Pairwise prediction-error expansion for efficient reversible data hiding[J]. IEEE Transactions on Image Processing A Publication of the IEEE Signal Processing Society, 2013, 22(12):5010-21.

[3] QINC, CHANG C C, CHEN Y C. Efficient reversible data hiding for VQ-compressed images based on index mapping mechanism[J]. Signal Processing, 2013, 93(9):2687-2695.

[4] 罗剑高, 韩国强, 沃焱. 新颖的差值扩展可逆数据隐藏算法[J]. 通信学报, 2016, 37(2):53-62.

[5] 王祥, 李可, 付凯元, 等. 直方图平移的自适应大容量可逆水印算法[J]. 西安电子科技大学学报:自然科学版, 2014, 41(1):124-129.

[6] Weng S, Pan J S. Integer Transform based Reversible Watermarking Incorporating Block Selection[J]. Journal of Visual Communication & Image Representation, 2015, 35:25-35.

[7] 王俊祥, 倪江群, 潘金伟. 一种基于直方图平移的高性能可逆水印算法[J]. 自动化学报, 2012, 38(1):88-96.

[8] Rad R M, Wong K S, Guo J M. Reversible data hiding by adaptive group modification on histogram of prediction errors[J]. Signal Processing, 2016, 125: 315-328.

[9] WANG X, LI X, YANG B, et al. Efficient generalized integer transform for reversible watermarking[J]. IEEE Signal Processing Letter, 2010, 17(6): 567-570.

[10] 邱应强, 余轮. 基于整数变换的图像可逆水印方法[J]. 电子测量与仪器学报, 2015, 29(1):92-98.

作者简介:

任克强 男, (1959-), 教授, 硕士生导师. 研究方向为图像与视频处理、信息隐藏.
E-mail: jxrenkeqiang@163. com.

罗桃建 女, (1990-), 硕士研究生. 研究方向为信息隐藏.

喻玲娟 女, (1982-), 博士, 硕士生导师. 研究方向为合成孔径雷达信号处理、图像处理.

(上接第 86 页)

作者简介:

崔凯 男, (1991-), 硕士研究生. 研究方向为射频/微波集成电路设计.

李志强(通讯作者) 男, (1982-), 副研究员. 研究方向为射

频/微波/毫米波集成电路设计.
E-mail: lizhiqiang@ime. ac. cn.

刘昱 男, (1975-), 研究员. 研究方向为高性能模拟/射频 CMOS 集成电路、硅基毫米波集成电路.